

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-296734

(43)Date of publication of application : 30.11.1989

(51)Int.Cl.

H04L 7/02

(21)Application number : 63-127823

(71)Applicant : NEC CORP

(22)Date of filing : 24.05.1988

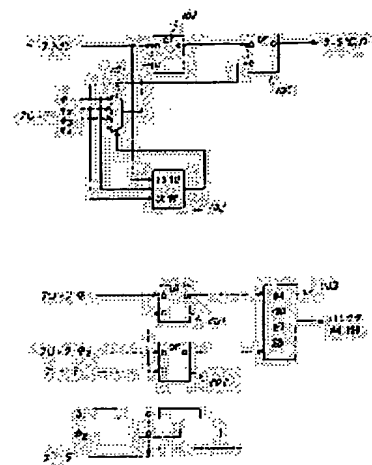
(72)Inventor : HAYANO SHINICHIRO

## (54) PHASE SYNCHRONIZING CIRCUIT FOR CLOCK AND DATA SIGNAL

### (57)Abstract:

**PURPOSE:** To decrease the circuit scale in case of forming a multiinput bit synchronizing circuit by using a clock of plural phases so as to constitute the bit synchronizing circuit.

**CONSTITUTION:** A quadruple clocks whose phase differs by  $90^\circ$  each are given to clock input terminals  $\Phi 1$ - $\Phi 4$  and a data with a deviated phase of a clock is given to a data input terminal due to a delay by a logic circuit and a wire. when the clocks  $\Phi 1$ ,  $\Phi 2$  are extracted at the leading of the data by a phase comparator circuit 103, since D flipflops (DFs) 201, 202 output 0, 0 respectively, it is discriminated that the change point of data exists in the range of  $90^\circ$  to  $180^\circ$  based on the clock  $\Phi 1$ . Thus, a selector 101 is controlled so as to select the clock  $\Phi 2$  as the data extraction clock. The data extracted by the clock  $\Phi 2$  by a DF 102 is outputted while the phase is matched with the clock  $\Phi 1$  at the DF 105. Thus, the bit synchronizing circuit for plural data is realized with small circuit scale.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-296734

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開:平成1年(1989)11月30日

H 04 L 7/02

Z-6914-5K

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 クロック、データ信号の位相同期回路

⑯ 特 願 昭63-127823

⑰ 出 願 昭63(1988)5月24日

⑱ 発 明 者 早 野 慎 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

クロック、データ信号の位相同期回路

特許請求の範囲

(1)異なる位相を持つ複数の入力クロック信号から1つのクロック信号を選択するセレクトと、入力データと前記セレクトから出力されたクロックとの位相比較を行ない、入力データと位相の一致したクロックを前記セレクトにより選択する位相比較回路と、該選択されたクロックにより入力データをリタイミングする識別回路を有することを特徴とするクロック、データ信号の位相同期回路。

(2)前記位相比較回路は、複数の入力クロックをデータの変化点でラッチする位相比較回路であることを特徴とする請求項1に記載のクロック、データ信号の位相同期回路。

発明の詳細な説明

(産業上の利用分野)

本発明は高速デジタル信号のクロック、データ信号の位相同期回路(ビット同期回路)に関するものである。

(従来の技術)

デジタル回路において、高速の信号を伝送する場合、論理回路、伝送路等による遅延がデータの周期に比べ相対的に大きくなるため、論理回路、配線の遅延を0と考える論理的なタイミングからのずれが大きくなる。そこで、データとクロックの位相関係を判定し、所望のタイミングでリタイミングするビット同期回路が必要となる。この為、従来は、複数の異なる遅延を持つデータ信号からクロックタイミングにあったものを選び出し、ビット同期をとっていた。この従来技術によるビット同期回路には、D.Boettler, M.Klein 著 "High speed (140Mbit/s) switching techniques for broadband communications", Proceeding of '86 International Zurich Seminar, C4 p.97-100記載のものが知られている。

第4図は従来技術によるビット同期回路の構成を示すブロック図である。第5図には第5図に示す回路に加わる信号のタイミングを示す。また、第6図には第4図に示す位相比較回路のブロック図を示し、第7図にその動作状態を示すタイミングチャートを示す。

第4~7図を参照して第4図に示すビット同期回路の動作を説明する。まず、ゲート回路401, 402, 403にて入力信号に遅延をかける。これにより、第6図に示すD1~D4の信号を作り、セレクト404によりこの中からまずD1を選択して位相比較回路405によりクロックとの位相比較を行なう。位相比較回路405の動作は以下の様になる。Dタイプフリップフロップ(DF)406のセットアップ、ホールドタイムをそれぞれ $t_{su}$ ,  $t_h$ とすると、第6図に示すようにゲート回路601, 602でデータを $t_{su}$ または $t_h$ 程度遅延させ、入力データ(SD1)、ゲート回路601の出力(SD2)、ゲート回路602の出力(SD3)をそれぞれDF603~605で打抜く。第7図に示すようにクロックの立上がりでデータSD1の変化点とSD2の変化点の

間にあると、EXOR606の出力は1となり、DF406の $t_{su}$ ,  $t_h$ 内にデータD1の不確定点が入っていることが検出される。このため、制御回路608によりD2を選択し、同様に位相比較を行なう。すると、D2においても同様にDF406の $t_{su}$ ,  $t_h$ 内にデータの不確定点があることが検出される。つぎのD3ではDF406の $t_{su}$ ,  $t_h$ 内にデータの不確定点が出ない為、D3をDF406の入力データとして用いることにより、誤りなくデータを受信することができる。

このような回路を用いることにより、クロックに対し、ずれた位相でデータが入ってきても自動的にデータの位相を調整することができる。

(発明が解決しようとする問題点)

第4図に示す従来技術によるビット同期回路を用いて多入力信号の信号を扱う場合、入力データ毎に複数の遅延させた信号を作る必要が有る。また、位相検出回路においても入力信号毎に複数の遅延させた信号を作る必要が有り回路規模が大きいという欠点があった。さらに、回路の動作周波数が変わると、回路による遅延量をすべて設計しなおす必

要が有るという欠点を有していた。また、従来の位相検出回路においてはクロックの立上がりで周期的に検査しているので、データが変化しない為にデータの変化点が出ないのか、データとクロックが適切な位相にあるためにデータの変化点が出ないのかを区別できず、データがクロックで誤りなく打抜けているかどうかを確率的にしか検出できなかった。

(問題を解決するための手段)

本発明によれば、複数の位相を持つ入力クロック信号から1つのクロック信号を選択するセレクトと、入力データと前記セレクトから出力されたクロックとの位相比較を行ない、データを識別できるクロックを前記セレクトにより選択する位相回路と、該選択されたクロックにより入力データをリタイミングする識別回路を有することを特徴とするクロック、データ信号の位相同期回路が得られる。

また、複数の入力クロックをデータの変化点でラッチする位相比較回路を有することを特徴とす

る前記特許請求の範囲第1項に記載のクロック、データ信号の位相同期回路が得られる。

(作用)

あらかじめ複数の位相をもつクロックを用意し、各データ入力ではそれらクロックのうちから1つを選択して用いればよく、データ入力が複数ある場合、回路規模を従来例に比べ小さくすることができる。また、動作周波数が変わった場合でもクロックの位相関係だけを調整すればよい為、動作周波数の変更に容易に対応できる。また、データの変化点で位相を検出する為、1回のデータの変化で確実にデータとクロックの位相差を検出することができる。

(実施例)

以下に図を参照して本発明のビット同期回路の動作を説明する。第1図は本発明の実施例を示すブロック図である。第1図によれば、本発明の実施例は、D入力がデータ入力端子に接続されたDタイプフリップフロップ(DF)102とD入力がDF102のQ出力に、C(クロック)入力がクロック入力端子Φ1に接

続され、Q出力がデータ出力端子に接続されたDF105と第1～第4の入力がそれぞれクロック入力端子 $\Phi 1 \sim \Phi 4$ に接続され、出力がDF102のC入力に接続されたセレクト101と、データ入力がデータ入力端子に、第1、第2のクロック入力がそれぞれクロック入力端子 $\Phi 1, \Phi 2$ に接続され、出力がセレクト101の制御入力に接続された位相比較回路103とからなる。

また、第2図は第1図に示す位相比較回路103の構成を示すブロック図である。第2図によれば、第1図に示す位相比較回路103は、D入力がクロック $\Phi 1$ 端子に、C入力がデータ端子に接続されたDF201と、D入力がクロック $\Phi 2$ 端子に、C入力がデータ端子に接続されたDF202第1、第2の入力がそれぞれDF201, 202のQ出力に接続され、出力がセレクト制御端子に接続された制御回路203からなる。

第3図は第1図の回路の動作を示すタイミングチャートである。第1図のクロック入力端子 $\Phi 1 \sim \Phi 4$ には90度ずつ位相の異なる4相のクロック

を入力する。データ入力端子には、論理回路、配線による遅延のため、クロックの位相とずれたデータが入力されるものとする。

位相比較回路103はデータの立上がりでクロック $\Phi 1, \Phi 2$ を打抜く。するとDF201, 202はそれぞれ0, 0を出力する為、データの変化点はクロック $\Phi 1$ を基準にして90度から180度の範囲に有ることがわかる。したがって、データの打抜きクロックとしては $\Phi 2$ を選択するようにセレクトを制御する。

DF102でクロック $\Phi 2$ で打抜かれたデータはDF105でクロック $\Phi 1$ に位相を合せて出力される。

ここでは位相比較回路として第2図に示すものを用いたが、第4図に示す従来の位相比較回路を用いても同様に動作する。

以上、本実施例に示した方法により、複数の位相のクロックを用いてビット同期回路を構成することにより、複数の遅延をもつデータを用いることが無い為、多入力のビット同期回路を構成する場合に回路規模を小さくすることができる。また、データで $\Phi 1, \Phi 2$ を打抜いてデータとクロック

の位相差を検出することによりデータが1回立上がるだけでデータを打抜くクロックを決定することができる。

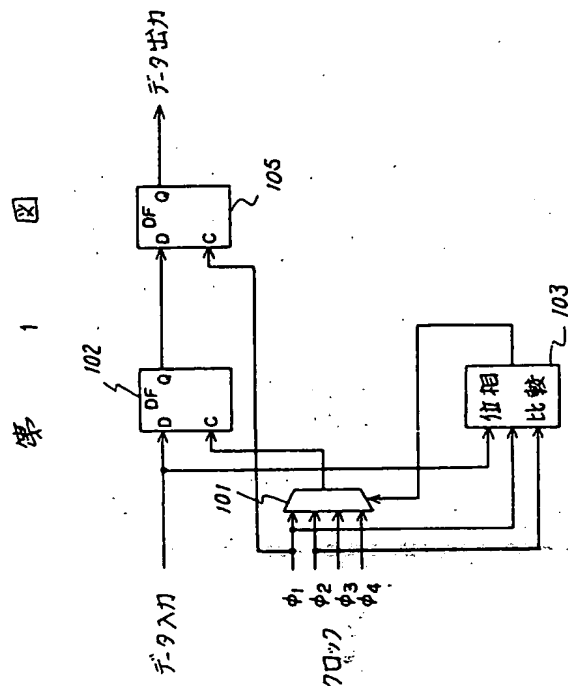
(発明の効果)

以上述べたように本発明によれば、複数のデータのビット同期回路を小さな回路規模で実現することができる。

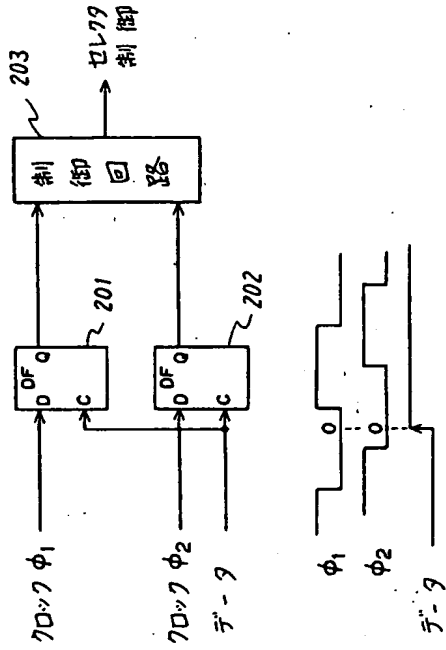
図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は第1図に示す位相比較回路の構成を示すブロック図、第3図は本発明の実施例の動作を示すタイムチャート、第4図は従来技術によるビット同期回路の構成を示すブロック図、第5図は従来技術によるビット同期回路の動作を示すタイムチャート、第6図は第4図に示す位相比較回路の構成を示すブロック図、第7図は第6図に示す位相比較回路の動作を示すタイムチャートである。

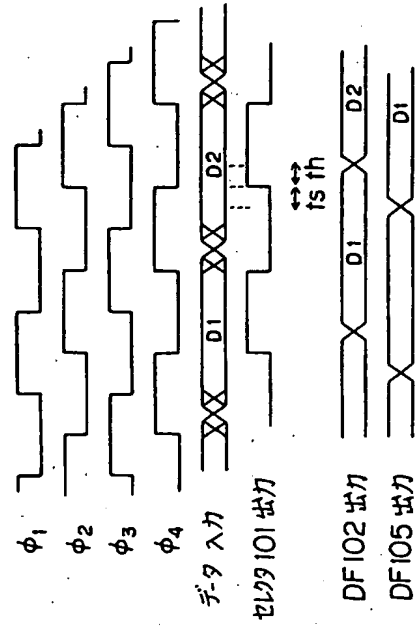
図において、101, 404はセレクト、102, 105, 201, 202, 406, 603～605はDタイプフリップフロップ(DF)をそれぞれ示す。



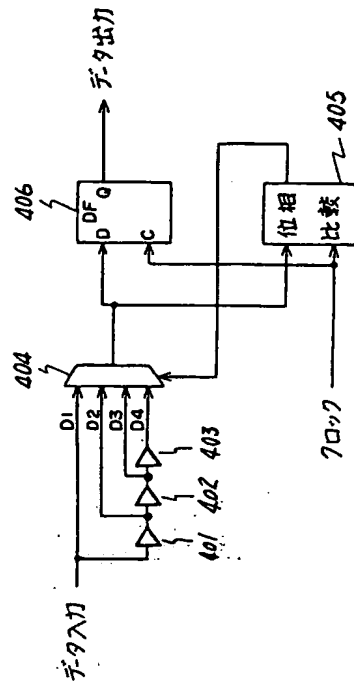
第 2 図



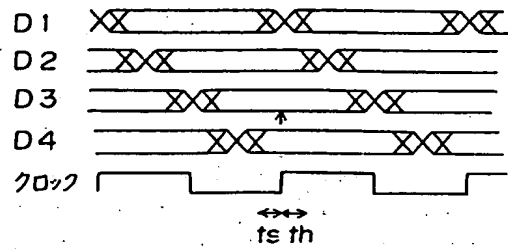
第 3 図



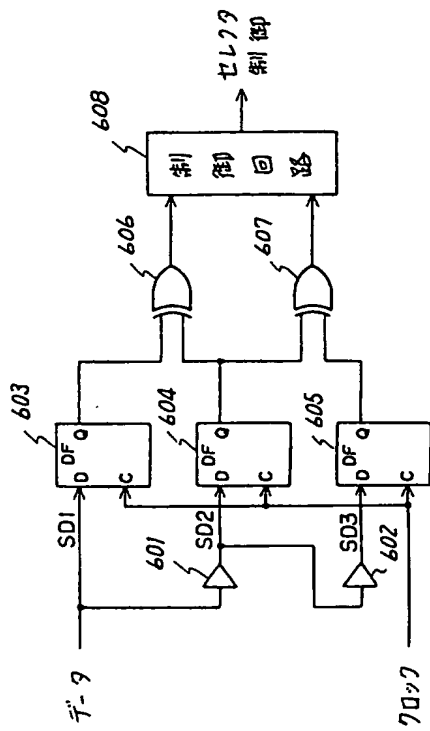
第 4 図



第 5 図



果 9 天



第 7 回

